

DIALOG(R)File 352:Derwent WPI
(c) 2004 Thomson Derwent. All rts. reserv.

009102013 **Image available**

WPI Acc No: 1992-229443/199228

Related WPI Acc No: 1992-229444; 1997-031448; 2000-229839; 2000-242357;
2000-285794; 2001-253531; 2001-253582; 2001-262918; 2001-276120;
2002-230625; 2003-703504; 2003-884174

XRAM Acc No: C93-070487

XRPX Acc No: N93-122519

**High quality semiconductor device having microcrystalline films -
involves sputtering in hydrogen@ to give fine grains of silicon@ or
germanium with low oxygen content, for high mobility thin film
transistors**

Patent Assignee: SEMICONDUCTOR ENERGY LAB (SEME); YAMAZAKI S (YAMA-I);

ZHANG H (ZHAN-I)

Inventor: YAMAZAKI S; ZHANG H

Number of Countries: 002 Number of Patents: 004

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 4151819	A	19920525	JP 90277134	A	19901015	199228 B
US 5210050	A	19930511	US 91774852	A	19911011	199320
US 20020020839	A1	20020221	US 91774852	A	19911011	200221
			US 931544	A	19930106	
			US 94235228	A	19940429	
			US 95428842	A	19950425	
			US 9837984	A	19980311	
US 6448577	B1	20020910	US 91774852	A	19911011	200263
			US 931544	A	19930106	
			US 94235228	A	19940429	
			US 95428842	A	19950425	
			US 9837984	A	19980311	

Priority Applications (No Type Date): JP 90277134 A 19901015; JP 90277135 A 19901015

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 4151819	A		9 H01L-021/203	
US 5210050	A		11 H01L-021/203	patent JP 4151819
US 20020020839	A1		H01L-029/04	Div ex application US 91774852 Cont of application US 931544 Cont of application US 94235228 Div ex application US 95428842 Div ex patent US 5210050 Div ex patent US 5744818
US 6448577	B1		H01L-029/00	Div ex application US 91774852 Cont of application US 931544

Cont of application US 94235228
Div ex application US 95428842
Div ex patent US 5210050
Div ex patent US 5744818

Title Terms: HIGH; QUALITY; SEMICONDUCTOR; DEVICE;
MICROCRYSTALLINE; FILM;

SPUTTER; HYDROGEN; FINE; GRAIN; SILICON; GERMANIUM; LOW;
OXYGEN; CONTENT;

HIGH; MOBILE; THIN; FILM; TRANSISTOR

Derwent Class: L03; U11; U12

International Patent Class (Main): H01L-021/203; H01L-029/00; H01L-029/04

International Patent Class (Additional): H01L-021/20; H01L-021/324;

H01L-021/84

File Segment: CPI; EPI

03786719
MANUFACTURE OF SEMICONDUCTOR

PUB. NO.: **04-151819** [JP 4151819 A]
PUBLISHED: May 25, 1992 (19920525)
INVENTOR(s): YAMAZAKI SHUNPEI
CHIYOU KOUYUU
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company
or Corporation), JP (Japan)
APPL. NO.: 02-277134 [JP 90277134]
FILED: October 15, 1990 (19901015)
INTL CLASS: [5] H01L-021/203; H01L-021/20; H01L-021/324
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R020 (VACUUM TECHNIQUES); R096 (ELECTRONIC MATERIALS -- Glass Conductors)
JOURNAL: Section: E, Section No. 1263, Vol. 16, No. 435, Pg. 15,
September 10, 1992 (19920910)

ABSTRACT

PURPOSE: To make it possible to crystallize thermally a non-single crystal semiconductor obtained by a sputtering method by a method wherein an amorphous semiconductor film is formed on a substrate in an atmosphere containing hydrogen alone or hydrogen and inert gas as its main component by the sputtering method and this semiconductor film is crystallized at a specified temperature.

CONSTITUTION: A semiconductor target of an oxygen concentration of 5×10^{18} cm⁻³ or lower is made of sputter using an atmosphere containing hydrogen alone or hydrogen of an amount of 20% or higher and inert gas of an amount of 80% or lower as its main component, whereby an amorphous semiconductor film (an a-Si film) of an oxygen concentration of 7×10^{19} cm⁻³ or lower is formed and hydrogen is previously made to disperse uniformly and is made to mix in this a-Si film. Moreover, this a-Si film is thermally crystallized by an annealing at a temperature of 450 to 700 deg.C or lower. Thereby, a non-single crystal semiconductor obtained by an industrially useful sputtering method is thermally crystallized and a polycrystalline semiconductor can be obtained.

(12) 公開特許公報 (A)

平4-151819

(5) Int. Cl.⁵H 01 L 21/203
21/20
21/324

識別記号

S 7630-4M
9171-4M
Z 7738-4M

(4) 公開 平成4年(1992)5月25日

審査請求 有 請求項の数 2 (全9頁)

(6) 発明の名称 半導体作製方法

(2) 特 願 平2-277134

(2) 出 願 平2(1990)10月15日

(7) 発明者 山崎舜平 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(7) 発明者 張宏勇 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内

(7) 出願人 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地

明細書

1. 発明の名称

半導体作製方法

2. 特許請求の範囲

(1). 水素または水素を20%以上の量と80%以下の量の不活性気体の雰囲気を用い、また酸素濃度 $5 \times 10^{10} \text{ cm}^{-3}$ 以下の濃度の半導体ターゲットを用いて基板上へスパッタ法による酸素濃度が $7 \times 10^{10} \text{ cm}^{-3}$ 以下の量を含有するアモルファス半導体膜の成膜工程と、前記スパッタ法によって得たアモルファス半導体膜を450～700℃以下の温度で再結晶化させる工程とを有することを特徴とする半導体作製方法。

(2). 特許請求の範囲第1項において、再結晶化させた半導体は格子歪を有し、かつ平均の結晶粒径が5～400Åを有することを特徴とする半導体作製方法。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、格子歪を有するマイクロクリスタル

構造の半導体の作製方法に関するものである。

(発明の概要)

本発明は、水素または水素を主成分気体(残りはアルゴン等の不活性気体)雰囲気中における不純物濃度 $5 \times 10^{10} \text{ cm}^{-3}$ 以下の半導体ターゲットをスパッタさせることによって、 $7 \times 10^{10} \text{ cm}^{-3}$ 以下好ましくは $1 \times 10^{10} \text{ cm}^{-3}$ 以下の酸素濃度のアモルファス半導体を熱結晶化させることにより、 $7 \times 10^{10} \text{ cm}^{-3}$ 以下の酸素濃度の格子歪を有するマイクロクリスタル構造の半導体を形成する方法に関するものである。

(従来の技術)

従来、多結晶半導体装置は、減圧CVDまたはプラズマCVD法によって形成された半導体膜を550～650℃の温度で数時間～数十時間熱処理し熱結晶化させることにより多結晶半導体膜を得て、この多結晶半導体膜を用いて作製されていた。

(従来技術の問題点)

減圧CVD法によって非単結晶半導体膜を得る場合、大面積基板に均一に成膜するのは困難である

という問題がある。

またプラズマCVD法によって非単結晶半導体膜を得る場合、その成膜工程に時間がかかるという問題があった。

従来、水素を添加したスパッタ法によって得られたa-Si（アモルファスシリコン）膜を用いて薄膜トランジスタを作製する例が知られているが、その電気的特性は低い（電子移動度は $0.1\text{cm}^2/\text{Vsec}$ 以下）ことが知られている。

そこで、一般的には水素を添加しないアルゴンガスを用い、スパッタ法によってa-Si膜を得ている。

また水素のみまたは水素を主成分とする気体を用いたスパッタ法での成膜は不可能であるとされていた。

この様な問題を解決する手段としてはスパッタ法を用いる方法がある。

特にマグネットロン型スパッタ法は

イ)電子が磁場でターゲット付近に閉じ込められ
高エネルギー電子による基板表面への損傷が

抑えられる。

ロ)低温で大面積にわたり高速成膜できる。

ハ)危険なガスを使用しないので、安全性と工業性が高い。

などの利点がある。しかし、スパッタ法によって得た非単結晶半導体膜には、珪素原子の存在に偏りがあり、アルゴン原子および酸素の不純物の混在によりまたは同時に水素を混在していないため $700\text{ }^\circ\text{C}$ 以下の温度での熱結晶化は不可能であることが知られている。

〔発明の目的〕

本発明は、工業的に量産のよいスパッタ法により得られた非単結晶半導体を熱結晶化させることによって格子歪を有する微結晶半導体を得ることを発明の目的とする。

〔発明の構成〕

本発明は、水素または水素と不活性気体とを水素を主成分として有する雰囲気中における基板上へのスパッタ法による非晶質性（アモルファスまたはそれにきわめて近い）半導体膜（以下a-Si

- 3 -

という）の成膜工程と、前記スパッタ法によって得た非晶質性の半導体膜を $450\sim700\text{ }^\circ\text{C}$ 代表的には $600\text{ }^\circ\text{C}$ の温度で結晶化させる工程を有することを特徴とする半導体作製方法である。

本発明者は、スパッタ法において水素を雰囲気として20%以上添加する（雰囲気中の酸素濃度は0.01%以下とし、水素も5N(99.999%以上)の高純度水素を用いている）ことで、成膜されるa-Si膜中に予め水素を均一に分散させて混入せしめて、このa-Si膜を $450\sim700\text{ }^\circ\text{C}$ 、代表的には $600\text{ }^\circ\text{C}$ 以下の温度でのアニールによって熱結晶化できることを発見した。本発明は、この上記実験事実に基づくものである。

この結晶化は、平均の結晶粒径が $5\sim400\text{ \AA}$ と小さく、かつその中の水素含有量は5原子%以下である。特に不純物としての酸素は $7\times10^{19}\text{cm}^{-3}$ またはそれ以下好ましくは $1\times10^{19}\text{cm}^{-3}$ 以下とすることに特長を有する。そしてそれぞれの微結晶に格子歪をもたせることにより、ミクロにそれの結晶界面が互いに強く密接し、結晶粒界でのキャ

- 4 -

リアにとってのバリアを消滅せんとしている。

このため、単に格子歪のない多結晶の結晶粒界では、酸素等がそこに偏析し障壁（バリア）がキャリアの移動を阻害するが、本発明においては、かかる格子歪により、バリアがないまたは無視できる程度であるため、電子の移動度も $5\sim300\text{cm}^2/\text{Vsec}$ と桁違いに優れた特長を有せしめた。

〔実施例〕

〔実施例1〕

本実施例は、マグネットロン型RF（高周波）スパッタ装置によって作製したa-Si膜を熱結晶化させて、格子歪を有せしめるとともに、その平均結晶粒径を $5\sim400\text{ \AA}$ と小さく、また含有水素の量は5原子%以下であり、かつ不純物としての酸素は $7\times10^{19}\text{cm}^{-3}$ 以下、好ましくは $1\times10^{19}\text{cm}^{-3}$ 以下の準結晶（セミアモルファス Quasi-crystal またはSemi-amorphasともいう）の多結晶珪素半導体層を形成した。そしてその電気特性であるキャリア移動度、スレッシュホールド電圧、界面単位密度等の電気特性を知るのに最も有効な手段である

- 5 -

—110—

- 6 -

この微結晶珪素半導体層を用い、薄膜ランジスタを作製した。

第1図に本実施例において作製した薄膜トランジスタの作製工程を示す。

まず、ガラス基板(11)上に酸化珪素膜(12)を以下の条件においてマグネットロン型RFスパッタ法により200nmの厚さに形成した。

O_2 100 % 真空

成膜温度 150°C

RF(13.56MHz)出力 400W

圧力 0.5 Pa

単結晶シリコンをターゲットに使用

さらにその上に高純度のマグネットロン型RFスパッタ装置によってチャネル形成領域となるa-Si膜(13)を100nmの厚さに成膜する。

このスパッタ法として背圧を 1×10^{-7} Pa以下とし、排気はターボ分子ポンプとクライオポンプとを用いた。供給する気体の量は5N(99.999%)以上の純度を有し、添加気体としては必要に応じて用いるアルゴン4N以上を有せしめた。ターゲット

の単結晶シリコンも $5 \times 10^{11} \text{ cm}^{-3}$ 以下の酸素濃度、例えば $1 \times 10^{10} \text{ cm}^{-3}$ の酸素濃度とし、形成される被膜中の不純物としての酸素をきわめて少なくした。

成膜条件は、水素含有比20~100%、アルゴン含有比80~0%、例えば水素含有100%とした。かかる真空中において、

$H_2/(H_2+Ar)=100\%$ (分圧比)

成膜温度 150 °C

RF(13.56MHz) 出力 400W

全圧力 0.5Pa

とし、ターゲットは高純度Siターゲットを用いた。

この後、450~700°C、例えば600°Cの温度で10時間の時間をかけ、水素または不活性気体中、本実施例においては水素100%真空中においてa-Si膜(13)の熱結晶化を行った。いわゆる微結晶(またはセミアモルファス)といわれるものであった。

かかる方法にて形成されたアモルファスシリコン膜および熱処理により結晶化後の被膜中の不純

- 7 -

物純度をSIMS(二次イオン等量分析)法により調べた。すると成膜中の不純物濃度のうち、酸素 $8 \times 10^{10} \text{ cm}^{-3}$ 、炭素 $3 \times 10^{10} \text{ cm}^{-3}$ であった。また水素は $4 \times 10^{20} \text{ cm}^{-3}$ を有し、珪素の密度を $4 \times 10^{22} \text{ cm}^{-3}$ とすると、1原子%に相当する量であった。これらをターゲットの単結晶シリコンの酸素濃度 $1 \times 10^{11} \text{ cm}^{-3}$ を基準として調べた。またこのSIMS分析は成膜後被膜の深さ方向の分布(デブスプロファイル)を調べ、その最小値を基準とした。なぜなら表面は大気との自然酸化した酸化珪素があるからである。これらの値は結晶化処理後であっても特に大きな変化はなく、酸素の不純物濃度は $8 \times 10^{10} \text{ cm}^{-3}$ であった。この実施例において、酸素を念のために増やし、例えば N_2O を0.1cc/sec、10cc/secと添加してみた。すると結晶化後の酸素濃度は $1 \times 10^{10} \text{ cm}^{-3}$ 、 $4 \times 10^{10} \text{ cm}^{-3}$ と多くなった。しかしかかる被膜を用いた時、同時に、結晶化に必要な温度を700°C以上にするか、または結晶化時間を少なくとも5倍以上にすることによって、初めて結晶化ができた。即ち工業的に基板のガラ

- 8 -

スの軟化温度を考慮すると、700°C以下好ましくは600°C以下の処理は重要であり、またより結晶化に必要な時間を少なくすることも重要である。しかし酸素濃度等の不純物をどのように少なくしても、450°C以下では熱アニールによるa-Si半導体の結晶化は実験的には不可能であった。

また本発明においては、もしかかる高品質のスパッタ装置を用いた結果として、装置からのリーグ等により成膜中の酸素濃度が $1 \times 10^{20} \text{ cm}^{-3}$ またはそれ以上となった場合は、かかる本発明の特性を期待することができない。

かくの如くにして $7 \times 10^{10} \text{ cm}^{-3}$ 以下の酸素濃度であること、および熱処理温度が450~700°Cであることが決められた。

もちろん、ゲルマニウムにおいては、またはシリコンとゲルマニウムとの化合物半導体である場合にはアニール温度を約100°C下げることができた。

この微結晶半導体は格子歪を有し、以下第4図に示されたレーザラマン分析データで明らかなるよ

うに、低波数側に単結晶シリコンに比べてシフトしていた。

電気特性を調べるために、以下に絶縁ゲート型電解効果トランジスタの作製方法を記す。即ち、本発明方法によって得られた熱結晶化させた微結晶珪素半導体に対してデバイス分離バターニングを行い、第1図(a)の形状を得た。

つきに、n+a-Si膜(14)を以下に示す条件でマグネットロン型RFスパッタ法により50nmの厚さに成膜した。

成膜条件は、水素分圧比20~99%以上(本実施例では80%)、アルゴン分圧比80~0%(本実施例では19%)、PH₃分圧比0.1%~10%(実施例では1%)の雰囲気中において、

成膜温度 150 °C
RF(13.56MHz) 出力 400W

全圧力 0.5Pa

であり、ターゲットとして単結晶(酸素濃度1×10¹⁸cm⁻³)Siをターゲットとして用いた。

また、この一導電型を有する半導体層の作製の

ためには、はPCVD法を用いてもよい。さらに、活性層を形成した後、ソースおよびドレインを形成するため、不純物(例えばB(ホウ素)、P(リン)、As(砒素))をイオン注入法により添加してもよい。

この後ゲート領域バターニングを行い第1図(b)の形状を得た。

つきにゲート酸化珪素膜(15)を100nmの厚さにマグネットロン型RFスパッタ法により以下の条件で成膜し、第1図(c)の形状を得た。

酸素雰囲気 100%

圧力 0.5Pa,

成膜温度 100°C

RF(13.56MHz)出力 400W

単結晶シリコンのターゲットまたは合成石英のターゲット使用した。

つきにコンタクトホール開けバターニングを行い、第1図(d)の形状を得た。

最後に真空蒸着によりアルミニウム電極(16)を300nmの厚さに形成し、バターニングすることに

- 11 -

により第1図(e)の形状を得、その後水素熱アーナーを水素100%雰囲気中において375°Cの温度で30min行い、薄膜トランジスタを完成させた。この水素熱アーナーは多結晶珪素半導体と酸化珪素絶縁膜との界面準位を低減させ、デバイス特性向上させるためである。

なお第1図(e)に示す薄膜トランジスタにおいて、Sはソース電極、Gはゲート電極、Dはドレイン電極である。

また本実施例において作製した薄膜トランジスタ第1図(e)のチャンネル部(17)の大きさは100×100μmの大きさである。

以上が本実施例において作製した多結晶珪素半導体層を用いた薄膜トランジスタの作製方法であるが、本発明の効果を示すためにチャネル形成領域である第1図(a)のa-Si層(13)をマグネットロン型RFスパッタ法により成膜する際の条件である水素の濃度および不本意に混入する酸素濃度を変化させた実施例を5例作製したので以下にその作製方法を示す。

- 12 -

(実施例2)

本実施例は実施例1の作製法においてチャネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気の分圧比を

$$H_2/(H_2+Ar) = 0\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。酸素濃度は2×10¹⁸cm⁻³を有していた。

(実施例3)

本実施例は実施例1の作製法においてチャネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気の分圧比を

$$H_2/(H_2+Ar) = 20\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。成膜中の酸素濃度は7×10¹⁸cm⁻³を有していた。

(実施例4)

本実施例は実施例1の作製法においてチャネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気の分圧比を

- 13 -

$$H_2/(H_2+Ar) = 50\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。成膜中の酸素濃度は $3 \times 10^{-1} \text{ cm}^{-3}$ を有していた。

(実施例5)

本実施例は実施例1の作製法においてチャネル形成領域となる第1図(a)の(13)を作製する際のスパッタ時における雰囲気の分圧比を

$$H_2/(H_2+Ar) = 80\% \text{ (分圧比)}$$

とし、他は実施例1と同様な方法によって作製したものである。成膜中の酸素濃度は $1 \times 10^{-1} \text{ cm}^{-3}$ を有していた。

以下、上記実施例の電気的特性を比較した結果を示す。

第2図は完成した本実施例1～5のチャネル部(第6図eの(17))におけるキャリアの移動度 μ (FIELD MOBILITY)とスパッタ時における水素分圧比($P_H/P_{TOTAL} = H_2/(H_2+Ar)$)の関係をグラフ化したものである。

第2図におけるプロット点と実施例との対応関

係を以下に表1として示す。

表1

$P_H/P_{TOTAL}\%$	実施例番号
0	2
20	3
50	4
80	5
100	1

第2図によれば水素分圧が0%の時は酸素濃度が $2 \times 10^{-1} \text{ cm}^{-3}$ もあるため、 $3 \times 10^{-1} \text{ cm}^2/\text{Vsec}$ ときわめて小さく、また他方、本発明の如く20%以上また酸素濃度 $7 \times 10^{-1} \text{ cm}^{-3}$ 以下において顕著に高い移動度 $2 \text{ cm}^2/\text{Vsec}$ 以上 μ (FIELD MOBILITY) が得られていることがわかる。

これは水素を添加すると、スパッタ内のチャンバ中での酸素を水とし、それをクライオポンプで積極的に除去できたためと推定される。

第3図はしきい値電圧とスパッタ時における水

- 15 -

素分圧比($P_H/P_{TOTAL} = H_2/(H_2+Ar)$)の関係をグラフ化したものである。

水素分圧比($P_H/P_{TOTAL} = H_2/(H_2+Ar)$)と実施例番号の対応関係は表1の場合と同じである。

しきい値電圧が低いほど薄膜トランジスタを動作させる動作電圧、すなわちゲート電圧が低くてよいことになり、デバイスとしての良好な特性を得られることを考えると、第3図の結果は、水素の分圧比の高い20%以上条件のスパッタ法によって、スレッシュホールド電圧 8 V 以下のノーマリオフの状態を得ることができる。即ち、チャネル形成領域となる第1図(a)の(13)に示されるa-Si膜を得て、このa-Si膜を再結晶化させることによって得られる微結晶珪素半導体層を用いたデバイス(本実施例では薄膜トランジスタ)は良好な電気的特性を示すことがわかる。

a-Si膜を熱結晶化させた多結晶珪素半導体層のレーザラマンスペクトルを示したものである。第4図に表された表示記号と実施例番号およびスパッタ時の水素分圧比との関係を第2表に示す。

- 16 -

第2表

表示記号	実施例番号	水素分圧
(41)	2	0 %
(42)	3	20%
(43)	4	50%
(44)	1	100%

第4図を見ると曲線(42)に比較して曲線(43)、すなわちチャネル形成領域(第1図(e)の(17))となるa-Si半導体層を作製する際のスパッタ時における水素の分圧比が0%の場合と100%の場合を比較すると、熱アニールにより結晶化させた場合は、スパッタ時における水素の分圧比が100%の場合のラマンスペクトルは顕著にその結晶性を有し、かつその平均の結晶粒径は半値幅より5～400 Å 代表的には100～200 Åである。そして単結晶シリコンのピーク値の 520 cm^{-1} よりも低波数側にずれ、明らかに格子歪を有する。このことは本発明の特徴を顕著に示している。すなわち水素を添加したスパッタ法によるa-Si膜の作製の効果は、そのa-Si膜を熱結晶化させて初めて現れるものであ

- 17 -

るということである。

このように格子歪を有すると、微結晶粒の互いが無理に縮んでいるため、互いの結晶粒界での密接が強くなり、結晶粒界でのキャリアにとってのエネルギーバリアもそこでの酸素等の不純物の偏析も発生しにくい。結果として高いキャリア移動度を期待することができる。

一般に電界効果トランジスタである薄膜トランジスタにおいてドレイン電圧VDが低い場合、ドレイン電流IDとドレイン電圧VDとの関係は以下の式によって表される。

$$ID = (W/L) \mu C(VG - VT) VD$$

(Solid State electronics. Vol. 24. No. 11. pp. 10
59. 1981. Printed in Britain)

上式において、Wはチャンネル幅、Lはチャネル長、 μ はキャリアの移動度、Cはゲート酸化膜の静電容量、VGはゲート電圧、VTはしきい値電圧として定義している。

上記スパッタ時における不活性気体としてはArを用いたが、その他Heなどの他の不活性気体、ま

たはSiH₄、Si₂H₆などの反応性気体をプラズマ化させたものを雰囲気気体の一部に添加して用いても良い。本実施例のマグネットロン型RFスパッタ法によるa-Si膜の成膜において、水素濃度は5~100%、成膜温度は室温~500°Cの範囲、RF出力は500Hz~100GHzの範囲において、出力100W~10MWの範囲で任意に選ぶことができ、またパルスエネルギー発信源と組み合わせてもよい。さらに強力な光照射(波長100~500nm以下)エネルギーを加えて光スパッタを行ってもよい。

これは、水素という軽い原子をよりプラズマ化させ、スパッタリングに必要な正イオンを効率よく生成させて、スパッタによって成膜される膜中に水素または水素原子を均一に添加し、結果として酸素の混入を $7 \times 10^{19} \text{ cm}^{-3}$ 以下、好ましくは $1 \times 10^{18} \text{ cm}^{-3}$ 以下におさえた半導体の成膜のためである。

本発明は明細書において非晶質性の半導体膜を単にa-Si膜として略記した。しかしこれはシリコン半導体を主な半導体とするが、ゲルマニウム、

- 19 -

SixGe_{1-x}(0<x<1) であってもよい。

これは真性半導体のみならずPまたはN型の半導体であってもよい。

また前記他の反応性気体を上記の手段に応用してもよい。

(発明の効果)

本発明の構成とすることによって、工業的に有用なスパッタ法により得られた非単結晶半導体を熱結晶化させ多結晶半導体を得る工程において、問題となる熱結晶化困難の問題を解決することができ、しかもこの多結晶半導体層を用いて高性能な薄膜トランジスタを作製することができた。

4. 図面の簡単な説明

第1図は本実施例1~6の作製工程を示す。

第2図は本実施例で作製した薄膜トランジスタの作製工程において、チャネル形成領域となるa-Si膜の作製時に添加する水素の分圧比と本実施例で作製した薄膜トランジスタにおけるキャリアの移動度との関係を示したものである。

第3図は本実施例で作製した薄膜トランジスタ

- 20 -

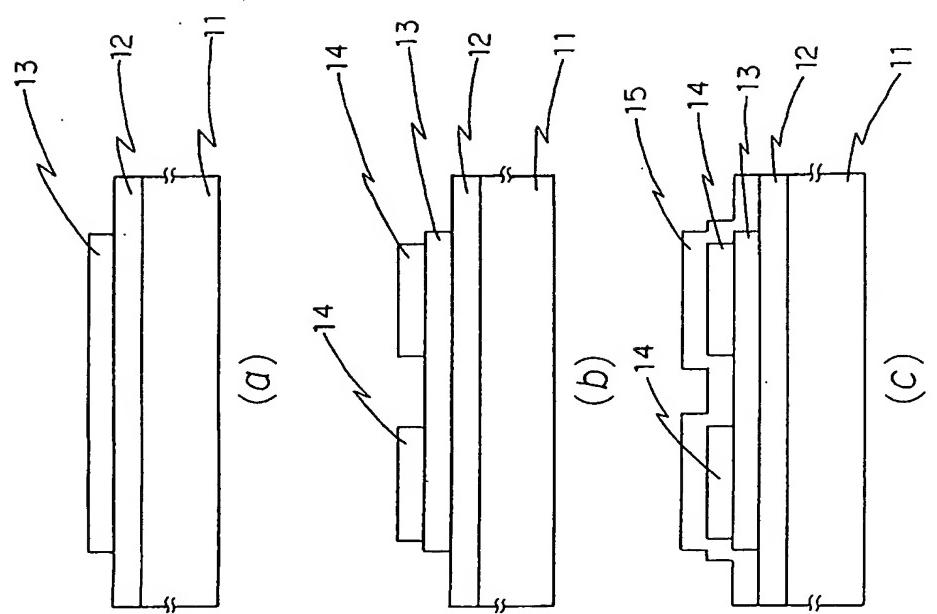
の作製工程において、チャネル形成領域となるa-Si膜の作製時に添加する水素の分圧比と、本実施例で作製した薄膜トランジスタにおけるしきい値との関係を示したものである。

第4図は本実施例において作製した多結晶珪素半導体のラマンスペクトルを示したものである。

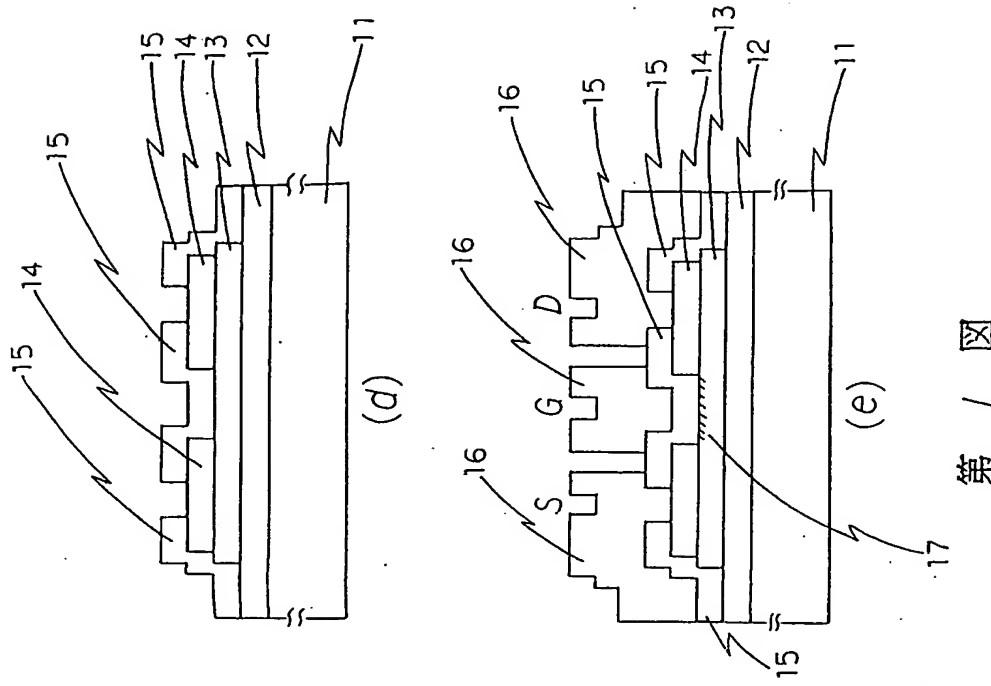
- (11) ... ガラス基板
- (12) ... 酸化珪素膜
- (13) ... 微結晶半導体の活性層
- (14) ... n'a-Si膜
- (15) ... ゲート酸化膜
- (16) ... アルミ電極
- (17) ... チャネル形成領域
- (S) ... ソース電極
- (G) ... ゲート電極
- (D) ... ドレイン電極

- 21 -

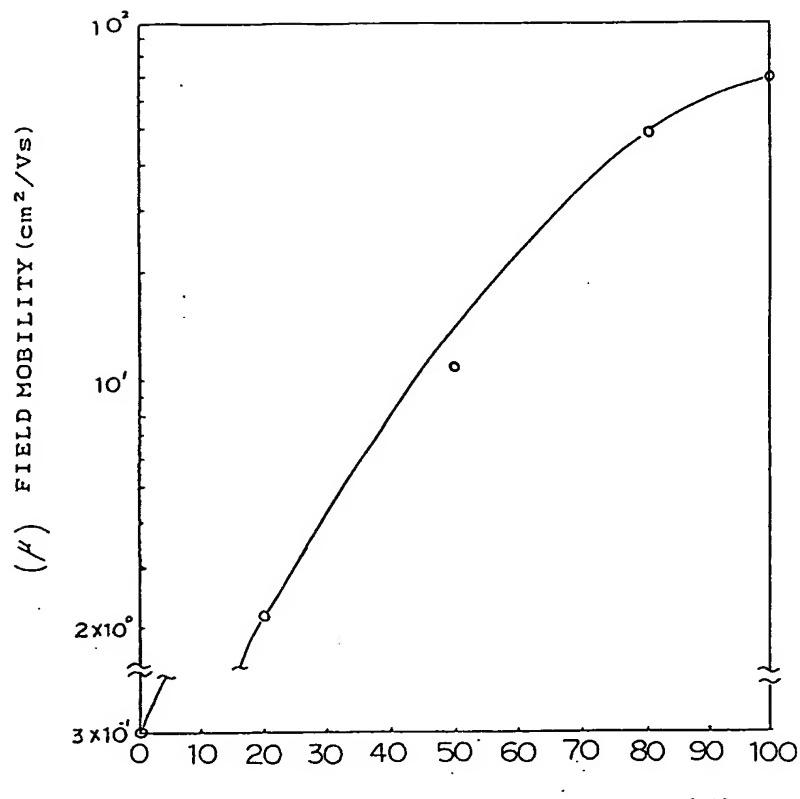
- 22 -



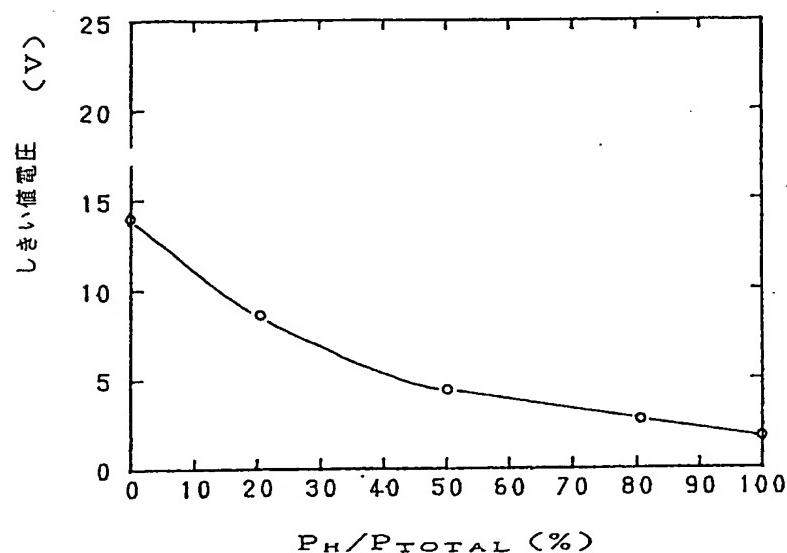
第 1 図



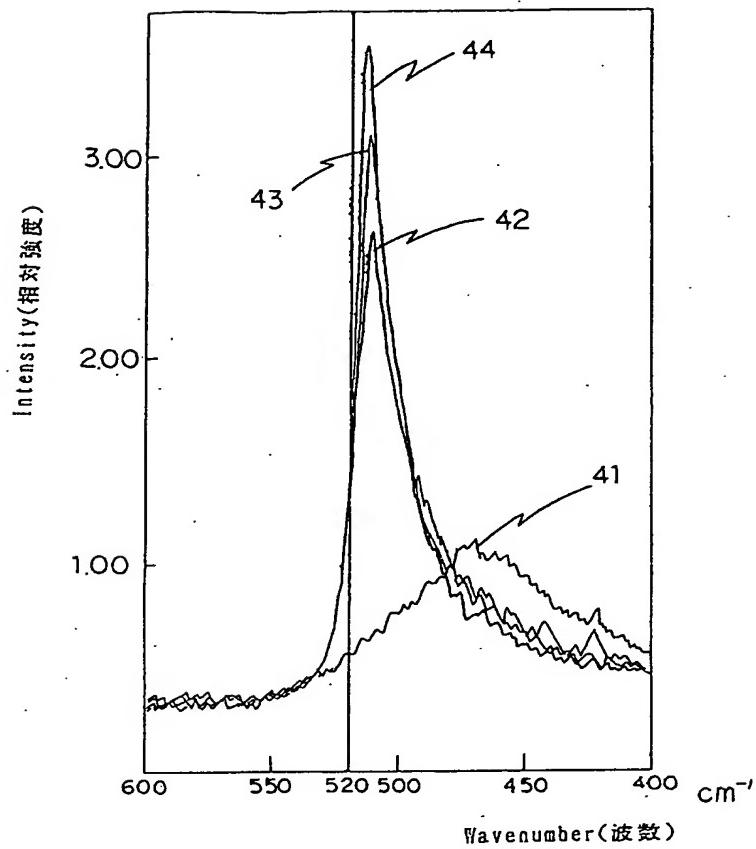
第 1 図



第 2 図



第 3 図



第 4 図